

1/5/1

DIALOG(R)File 351:Derwent WPI  
(c) 2005 Thomson Derwent. All rts. reserv.

012467657 \*\*Image available\*\*

WPI Acc No: 1999-273765/ 199923

Related WPI Acc No: 1999-250945

XRAM Acc No: C99-080721

XRXPX Acc No: N99-205323

Material composition of channel formation area in thin film transistor used in electro-optical apparatus - has specific group elements in channel formation area of N-TFT and P-TFT whose density is reduced so that boundary surface of channel formation area contacts gate insulating film

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: YAMAZAKI S

Number of Countries: 002 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11087731	A	19990330	JP 97254258	A	19970903	199923 B
US 6160268	A	20001212	US 98141778	A	19980827	200067
			US 99342887	A	19990629	
US 6197624	B1	20010306	US 98141778	A	19980827	200115
US 20020047825	A1	20020425	US 98141778	A	19980827	200233
			US 2001753410	A	20010102	
US 6570552	B2	20030527	US 98141778	A	19980827	200337
			US 2001753410	A	20010102	

Priority Applications (No Type Date): JP 97254258 A 19970903; JP 97249817 A 19970829

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11087731	A		16	H01L-029/786	
US 6160268	A			H01L-029/04	Div ex application US 98141778
US 6197624	B1			H01L-021/00	
US 20020047825	A1			G09G-003/36	Cont of application US 98141778
US 6570552	B2			G09G-003/36	Cont of patent US 6197624
					Cont of application US 98141778
					Cont of patent US 6197624

Abstract (Basic): JP 11087731 A

NOVELTY - Elements chosen from group of phosphorus arsenic or antimony is included in the channel formation area of N-TFT. Similarly elements chosen from group of boron, indium or gallium are included in channel formation area of P-TFT. Density of element in channel formation area of N-TFT and P-TFT is reduced so that boundary surface of channel formation area contacts with gate insulating film. DETAILED DESCRIPTION - Bottom gate TFTs are formed on the insulated surface of a substrate.

USE - TFT used in electro-optical apparatus, semiconductor circuit and electronic machine.

ADVANTAGE - The threshold voltage of TFT is effectively controlled.

DESCRIPTION OF DRAWING - The figure shows the production process of the TFT.

Dwg.1/13

Title Terms: MATERIAL; COMPOSITION; CHANNEL; FORMATION; AREA; THIN; FILM; TRANSISTOR; ELECTRO; OPTICAL; APPARATUS; SPECIFIC; GROUP; ELEMENT; CHANNEL; FORMATION; AREA; N; TFT; P; TFT; DENSITY; REDUCE; SO; BOUNDARY; SURFACE; CHANNEL; FORMATION; AREA; CONTACT; GATE; INSULATE; FILM

Derwent Class: L03; P81; P85; U11; U12; U14

International Patent Class (Main): G09G-003/36; H01L-021/00; H01L-029/04; H01L-029/786

International Patent Class (Additional): G02F-001/136; H01L-021/336; H01L-021/84; H01L-031/036; H01L-031/0376; H01L-031/30

File Segment: CPI; EPI; EngPI

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-87731

(43)公開日 平成11年(1999)3月30日

(51)Int.Cl.<sup>6</sup>

H 01 L 29/786  
21/336  
G 02 F 1/136

識別記号

5 0 0

F I

H 01 L 29/78 6 1 7 A  
G 02 F 1/136 5 0 0  
H 01 L 29/78 6 1 2 B  
6 1 3 A  
6 1 6 A

審査請求 未請求 請求項の数15 FD (全 16 頁) 最終頁に続く

(21)出願番号

特願平9-254258

(22)出願日

平成9年(1997)9月3日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

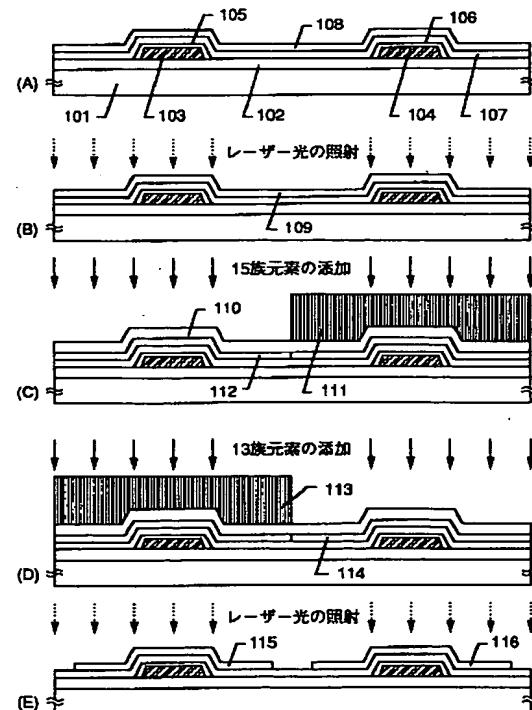
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【課題】 ポトムゲイト型TFTのしきい値電圧を効果的に制御するための手段を提供する。

【解決手段】 ガラス基板101上のゲート電極103、104、ゲート絶縁膜107上に非晶質珪素膜108を形成し、結晶化して結晶性珪素膜109を得る。その上にバッファ層110を形成して、しきい値電圧を制御するための不純物元素(13族または15族から選ばれた元素)を添加する。この添加方法としてはイオン注入法またはイオンドーピング法を用いる。



1

## 【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置であつて、

前記複数のボトムゲイト型TFTのうち、NTFTのチャネル形成領域には15族から選ばれた元素が意図的に含ませてあり、且つ、PTFTのチャネル形成領域には13族から選ばれた元素が意図的に含ませてあり、前記NTFT及びPTFTのチャネル形成領域中における前記元素の濃度は、前記チャネル形成領域と当該チャネル形成領域に接したゲイト絶縁膜との界面に近づくほど減少していくことを特徴とする半導体装置。

【請求項2】請求項1において、前記15族から選ばれた元素とはリン、砒素またはアンチモンであり、前記13族から選ばれた元素とはボロン、インジウムまたはガリウムであることを特徴とする半導体装置。

【請求項3】請求項1において、前記15族及び13族から選ばれた元素の濃度は、前記チャネル形成領域の前記基板から遠い方の表面近傍において $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>であること特徴とする半導体装置。

【請求項4】請求項1において、前記チャネル形成領域と当該チャネル形成領域に接したゲイト絶縁膜との界面近傍に存在する前記元素の濃度は、前記チャネル形成領域の前記基板から遠い方の表面近傍に存在する前記元素の濃度の1/10以下であること特徴とする半導体装置。

【請求項5】請求項1において、前記チャネル形成領域中には当該チャネル形成領域の結晶化を助長する触媒元素が含まれており、

前記触媒元素の濃度は $1 \times 10^{14} \sim 5 \times 10^{17}$ atoms/cm<sup>3</sup>であることを特徴とする半導体装置。

【請求項6】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であつて、

非晶質珪素膜を形成する工程と、

前記非晶質珪素膜に対してレーザー光または当該レーザー光と同等の強度を持つ強光を照射して結晶性珪素膜を得る工程と、

前記結晶性珪素膜の後にNTFTとなる領域のみに対して15族から選ばれた元素を添加する工程と、

前記結晶性珪素膜の後にPTFTとなる領域のみに対して13族から選ばれた元素を添加する工程と、

前記15族及び13族から選ばれた元素を活性化させる工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項7】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であつて、

非晶質珪素膜を形成する工程と、

前記非晶質珪素膜の後にNTFTとなる領域に対して15族から選ばれた元素を添加する工程と、

前記非晶質珪素膜の後にPTFTとなる領域に対して13族から選ばれた元素を添加する工程と、

前記非晶質珪素膜に対してレーザー光または当該レーザー光と同等の強度を持つ強光を照射して結晶性珪素膜を得ると同時に前記15族及び13族から選ばれた元素の活性化を行う工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項8】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であつて、

非晶質珪素膜を形成する工程と、

前記非晶質珪素膜の全面または一部に対して当該非晶質珪素膜の結晶化を助長する触媒元素を保持または添加する工程と、

第1の加熱処理により前記非晶質珪素膜の全面または一部を結晶性珪素膜に変成させる工程と、

前記結晶性珪素膜の後にNTFTとなる領域に対して15族から選ばれた元素を添加する工程と、

前記結晶性珪素膜の後にPTFTとなる領域に対して13族から選ばれた元素を添加する工程と、

前記結晶性珪素膜のうち、活性層として活用しない領域に対して15族から選ばれた元素を選択的に導入する工程と、

第2の加熱処理により前記15族から選ばれた元素を導入した領域に前記触媒元素をゲッタリングさせると同時に前記15族及び13族から選ばれた元素を活性化させる工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項9】請求項8において、前記第2の加熱処理は前記基板の歪点を超えない温度で行われることを特徴とする半導体装置の作製方法。

【請求項10】請求項8において、前記第2の加熱処理は550~650℃の温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項11】請求項8において、前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Au、Ge、Nbから選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【請求項12】請求項6乃至請求項8において、前記15族から選ばれた元素とはリン、砒素またはアンチモンであり、前記13族元素とはボロン、インジウムまたはガリウムであることを特徴とする半導体装置の作製方法。

【請求項13】請求項6乃至請求項8において、前記15族及び13族から選ばれた元素はイオン注入法により添加されることを特徴とする半導体装置の作製方法。

【請求項14】請求項6乃至請求項8において、前記15族及び13族から選ばれた元素は $1 \times 10^{12} \sim 1 \times 10^{17}$ atoms/cm<sup>2</sup>のドーズ量で添加されることを特徴とする半導体装置の作製方法。

【請求項15】請求項6乃至請求項8において、前記1

5族及び13族から選ばれた元素の添加工程はバッファ層を介したスルードーピングによって行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は半導体薄膜を利用して作製された半導体装置およびその作製方法の構成に関する。具体的には、逆スタガ型に代表されるボトムゲイト型の薄膜トランジスタ(TFT)の構成に関する。

【0002】なお、本明細書中において半導体装置とは半導体特性を利用して機能しうる装置全てを含む。即ち、本明細書に記載されたTFT、電気光学装置、半導体回路、電子機器等は全て半導体装置の範疇に含むものとする。

【0003】

【従来の技術】近年、アクティブマトリクス型液晶表示装置の需要が急速に高まり、ガラスまたは石英基板上に形成した半導体薄膜で薄膜トランジスタ(以下、TFTと略記する)を形成する技術が急がれている。TFTは画像表示のためのスイッチング素子として利用される。

【0004】同一基板上に百数十万個もの単位で形成されるTFTは、構成する電気回路の機能に応じて所定の電気特性を示すものでなければならない。その様なTFTの電気特性として、しきい値電圧(スレッショルドボルテージ:V<sub>th</sub>)というパラメータがある。

【0005】しきい値電圧とは、そのTFTのチャネル部分に反転層が形成される電圧として定義される。即ち、オフ状態にあるTFTがオン状態に切り換わる電圧として考えれば良い。従って、しきい値電圧が高いほどそのTFTの動作電圧は高いことができる。

【0006】このしきい値電圧は様々な外的要因によって変化してしまうという問題がある。例えば、活性層中の汚染不純物、ゲート絶縁膜の固定電荷や可動電荷、活性層/ゲート絶縁膜界面の界面準位、ゲート電極と活性層との仕事関数差等が挙げられる。この場合、活性層中の汚染不純物やゲート絶縁膜中の可動電荷等はプロセスの清浄化によってなくすことができるが、固定電荷、界面準位および仕事関数差等は素子の材質で決定されてしまうため容易に変更することはできない。

【0007】この様な外的要因の結果、しきい値電圧がプラス側にシフトしたりマイナス側にシフトしたりすることがある。例えば、しきい値電圧が異常に小さくなり、オフ状態(ゲート電圧を印加しない状態)であるにも拘わらず、電流が流れてしまう(ノーマリオン動作)といった問題が生じる。

【0008】特に、非晶質半導体薄膜をレーザー結晶化して活性層に用いるTFT(いわゆる低温ポリシリコンTFT)ではNTFT及びPTFT共にしきい値電圧が異常に大きくなる(NTFTで4~6V、PTFTで-5~-7V)こともあり、極めて深刻な問題となっている。

【0009】

【発明が解決しようとする課題】しきい値電圧を制御する手段としてチャネルドープと呼ばれる技術が知られている。チャネルドープとは活性層中に所定濃度の不純物を添加して強制的にしきい値電圧をシフトさせて所望のしきい値電圧に調節する技術である。

【0010】チャネルドープに用いる不純物としては13族元素であるB(ボロン)、Ga(ガリウム)、In(インジウム)や15族元素であるP(リン)、As(砒素)、Sb(アンチモン)などが挙げられる。

【0011】本願発明ではボトムゲイト型TFT(代表的には逆スタガ型TFT)に対してチャネルドープを行うための技術を提供することを課題とする。また、本願発明を利用した複数のボトムゲイト型TFTを構成に含む半導体装置及びその作製方法を提供することを課題とする。

【0012】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置であって、前記複数のボトムゲイト型TFTのうち、NTFTのチャネル形成領域には15族から選ばれた元素が意図的に含ませてあり、且つ、PTFTのチャネル形成領域には13族から選ばれた元素が意図的に含ませてあり、前記NTFT及びPTFTのチャネル形成領域における前記元素の濃度は、前記チャネル形成領域と当該チャネル形成領域に接したゲート絶縁膜との界面に近づくほど減少していくことを特徴とする。

【0013】また、他の発明の構成は、絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、非晶質珪素膜を形成する工程と、前記非晶質珪素膜に対してレーザー光または当該レーザー光と同等の強度を持つ強光を照射して結晶性珪素膜を得る工程と、前記結晶性珪素膜の後にNTFTとなる領域のみに対して15族から選ばれた元素を添加する工程と、前記結晶性珪素膜の後にPTFTとなる領域のみに対して13族から選ばれた元素を添加する工程と、前記15族及び13族から選ばれた元素を活性化させる工程と、を含むことを特徴とする。

【0014】また、他の発明の構成は、絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、非晶質珪素膜を形成する工程と、前記非晶質珪素膜の後にNTFTとなる領域に対して15族から選ばれた元素を添加する工程と、前記非晶質珪素膜の後にPTFTとなる領域に対して13族から選ばれた元素を添加する工程と、前記非晶質珪素膜に対してレーザー光または当該レーザー光と同等の強度を持つ強光を照射して結晶性珪素膜を得ると同時に前記15族及び13族から選ばれた元素の活性化を行う工程と、を含むことを特徴とする。

【0015】また、他の発明の構成は、絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、非晶質珪素膜を形成する工程と、前記非晶質珪素膜の全面または一部に対して当該非晶質珪素膜の結晶化を助長する触媒元素を保持または添加する工程と、第1の加熱処理により前記非晶質珪素膜の全面または一部を結晶性珪素膜に変成させる工程と、前記結晶性珪素膜の後にNTFTとなる領域に対して15族から選ばれた元素を添加する工程と、前記結晶性珪素膜の後にPTFTとなる領域に対して13族から選ばれた元素を添加する工程と、前記結晶性珪素膜のうち、活性層として活用しない領域に対して15族から選ばれた元素を選択的に導入する工程と、第2の加熱処理により前記15族から選ばれた元素を導入した領域に前記触媒元素をゲッタリングさせると同時に前記15族及び13族から選ばれた元素を活性化させる工程と、を含むことを特徴とする。

【0016】上記構成からなる本願発明について、以下に記載する実施例でもって詳細な説明を行うこととする。

#### 【0017】

##### 【実施例】

【実施例1】本願発明を利用してNTFT(Nチャネル型TFT)とPTFT(Pチャネル型TFT)とを相補的に組み合わせたCMOS回路を作製する例を示す。

【0018】まず、ガラス基板101上に酸化珪素膜となる下地膜102を設け、その上にゲート電極103、104を形成する。本実施例ではゲート電極103、104として200~400nm厚のアルミニウム合金(アルミニウムに2wt%のスカンジウムを添加したもの)を使用するが、クロム、タンタル、タンクスチン、モリブデン、導電性を有するポリシリコンを用いても良い。

【0019】次に、ゲート電極103、104を酒石酸中で陽極酸化して無孔性の陽極酸化膜105、106を形成する。詳細な形成方法は特開平7-135318号公報を参考にすると良い。陽極酸化膜105、106は後のプロセス温度に耐えうる様にゲート電極103、104を保護する。

【0020】そして、その上にゲート絶縁膜107を100~200nmの厚さに形成する。ゲート絶縁膜107としては酸化珪素膜、窒化珪素膜又は酸化珪素膜と窒化珪素膜との積層膜を用いる。また、本実施例では陽極酸化膜105、106もゲート絶縁膜の一部として機能する。

【0021】次に、非晶質珪素膜108を10~150nm(好ましくは10~75nm、さらに好ましくは15~45nm)の厚さに形成する。非晶質珪素膜以外にも珪素を主成分とする半導体薄膜(例えば $SixGe_{1-x}$ (0<x<1)で示されるシリコン・ゲルマニウム化合物)を用いることができる。

【0022】こうして図1(A)の状態が得られたら、

レーザー光またはレーザー光と同等の強度を持つ強光の照射を行い、非晶質珪素膜108を結晶化する。レーザー光としてはエキシマレーザー光が好ましい。エキシマレーザーとしては、KrF、ArF、XeClを光源としたパルスレーザーを利用すれば良い。

【0023】また、レーザー光と同等の強度を持つ強光としては、ハロゲンランプ又はメタルハライドランプからの強光、赤外光又は紫外光ランプからの強光を利用することができる。

10 【0024】本実施例では、線状に加工されたエキシマレーザー光を基板の一端から他端へ走査し、非晶質珪素膜108の全面を結晶化する。この時、レーザー光のスウェーブ速度は1.2mm/s、処理温度は室温、パルス周波数は30Hz、レーザーエネルギーは300~315mJ/cm<sup>2</sup>とする。(図1(B))

【0025】こうして図1(B)に示す様に結晶性珪素膜109が得られる。次に、その上に酸化珪素膜であるバッファ層110を50~200nm(好ましくは100~150nm)の厚さに形成する。

20 【0026】そして、まず、PTFTとなる領域をレジストマスク111で隠し、イオン注入(イオンプランテーション)(質量分離あり)又はイオンドーピング法(質量分離なし)によりリンを添加する。このチャネルドープ工程によりリン含有領域112が形成される。リンの代わりに砒素、アンチモン等の他の15族から選ばれた元素を添加しても良い。(図1(C))

【0027】この時、加速電圧は5~80keV(代表的には10~30keV)から選び、ドーズ量は $1\times 10^{12}\sim 1\times 10^{17}$ atoms/cm<sup>2</sup>(好ましくは $1\times 10^{13}\sim 1\times 10^{16}$ atoms/cm<sup>2</sup>)とすれば良い。本実施例では、加速電圧を30keVとし、ドーズ量を $5\times 10^{13}$ atoms/cm<sup>2</sup>とする。

30 【0028】なお、ドーズ量は実験的に予め求めておかなければならない。即ち、チャネルドープを行わない場合にどれだけしきい値電圧がシフトするかを前もって確認し、所望のしきい値電圧を得るにはどれだけのリンを添加する必要があるのかを予め求めておく。従って、ドーズ量は上記範囲内に収まっていなければならないというものではない。

40 【0029】この時、結晶性珪素膜109は非常に薄いので直接イオン注入を行うと大きなダメージを受けて結晶性が崩れてしまう。また、非常に薄い膜に対してイオン注入を行う場合、不純物の濃度制御が非常に困難である。

【0030】しかしながら、本実施例では前述のバッファ層110を介したスルードーピングになるので、結晶性珪素膜109がイオン注入時に受ける損傷を抑制することができる。また、結晶性珪素膜109の上に厚めのバッファ層110が存在するので、結晶性珪素膜109中に添加する不純物濃度の制御が容易となる。

50 【0031】また、イオン注入により形成される結晶性

珪素膜中におけるボロンの濃度プロファイルは、チャネルが形成される部分（チャネル形成領域とゲイト絶縁膜とが接する界面近傍）でボロン濃度が低くなる様に調節することが望ましい。この効果については後述する。

【0032】以上の様にしてNTFTとなる領域に15族元素を添加したら、レジストマスク111を除去し、新たにNTFTとなる領域を隠してレジストマスク113を形成する。そして、次は後にPTFTとなる領域に対して13族から選ばれた元素（本実施例ではボロン）を添加する。添加工程は先程のリンの添加工程を参考にすれば良い。勿論、ボロン以外にもガリウムやインジウム等を用いることも可能である。（図1（D））

【0033】図1（D）に示した工程によりPTFTとなる領域にはボロン含有領域114が形成される。この場合も先程の15族元素の添加工程の場合と同様に、バッファ層110がイオン注入時の損傷を低減し、濃度制御を容易なものとする。

【0034】以上の不純物添加工程が終了したら、バッファ層110、レジストマスク113を除去した後、パターニングにより活性層115、116を形成する。その後、エキシマレーザー光を照射し、イオン注入工程を受けたダメージの回復と添加したボロンの活性化を行う。（図1（E））

【0035】次に、ゲート電極103、104をマスクとした裏面露光を行うことでレジストマスク117、118を形成する。そして、N型を付与する不純物元素（代表的にはリン、砒素）を添加して $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>程度の低濃度不純物領域119～122を形成する。（図2（A））

【0036】次に、レジストマスク117、118を除去した後、再びパターニングしてレジストマスク123、124を形成する。この時、PTFTは完全に覆ってしまう。そして、再びN型を付与する不純物元素を図2（A）の時よりも高濃度（ $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>程度）に添加してNTFTのソース領域125、ドレイン領域126を形成する。

【0037】また、この時、127、128で示される領域は前述の低濃度不純物領域がそのまま残り、後にLDD領域（Light Doped Drain）として機能する。さらに129で示される領域はチャネル形成領域となる。（図2（B））

【0038】次に、レジストマスク123、124を除去した後、今度はNTFTを完全に覆う様にしてレジストマスク130、131を形成する。

【0039】そして、P型を付与する不純物元素（代表的にはボロン、ガリウム、インジウム）を $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>程度の濃度となる様に添加し、PTFTのソース領域132、ドレイン領域133を形成する。また、134で示される領域がチャネル形成領域となる。（図2（C））

【0040】次に、レジストマスク130、131を除去した後、エキシマレーザー光を照射することで添加したイオン注入時の損傷の回復と添加した不純物の活性化を行う。（図2（D））

【0041】レーザーアニールが終了したら、層間絶縁膜135を300～500nmの厚さに形成する。層間絶縁膜135は酸化珪素膜、窒化珪素膜、有機性樹脂膜又はそれらの積層膜で構成される。

【0042】そして、その上に金属薄膜でなるソース電極136、137及びN共通ドレイン電極138を形成する。金属薄膜としてはアルミニウム、タンタル、チタン、タングステン、モリブデン又はそれらの積層膜を用いれば良い。膜厚は100～300nmとすれば良い。（図2（E））

【0043】最後に、全体に対して水素雰囲気中、350°C2時間程度の加熱処理を行い、膜中（特にチャネル形成領域中）の不対結合手を水素終端する。以上の工程によって図2（E）に示す様な構造のCMOS回路が完成する。

【0044】従来ならばレーザー結晶化で結晶化した珪素膜を活性層とするとNTFTのV<sub>th</sub>はプラス側へ、PTFTのV<sub>th</sub>はマイナス側にシフトしてしまう。ところが、本実施例ではNTFTに対して15族から選ばれた元素（V<sub>th</sub>をマイナス側にシフトさせる効果を持つ）を添加し、PTFTに対して13族から選ばれた元素（V<sub>th</sub>をプラス側にシフトさせる効果を持つ）を添加するので、所望のしきい値電圧に調節することが可能である。

【0045】この様子を図13に示す。図13において、1301はしきい値電圧を調節しない場合（従来の場合）のNTFTのId-Vg特性を示し、1302は本願発明のNTFTのId-Vg特性を示している。また、1303はしきい値電圧を調節しない場合（従来の場合）のPTFTのId-Vg特性を示し、1304は本願発明のPTFTのId-Vg特性を示している。

【0046】なお、Idとはドレイン電流を指し、Vgとはゲート電圧を指す。この様なId-Vg特性はTFTの電気特性を評価する指針として、一般的に広く活用されているので詳細な説明は省略する。

【0047】図13に明らかな様に、従来1301で示される様にプラス側に大きくシフトしていたNTFTのId-Vg特性が、1302で示される様に本願発明によつて非常に小さなしきい値電圧に調節される。また、PTFTも同様に所望の値となる様にしきい値電圧が調節される。

【0048】また、この時、本願発明ではしきい値電圧を制御するための不純物元素の添加量を適切に設定することでNTFTとPTFTのId-Vg特性を左右対称にすることができる。この効果はCMOS回路を構成した時の出力バランスを是正する上で非常に有効である。

【0049】この様に、本願発明を利用することでNT

FETのしきい値電圧を0.5~2.5V(好ましくは0.5~1.5V)、PTFTのしきい値電圧を-0.5~-2.5V(好ましくは-0.5~-1.5V)に調節することが可能である。また、NTFT及びPTFT共にしきい値電圧の絶対値を5V以内(好ましくは3V以内、さらに好ましくは1V以内)に収めることができるとされる。勿論、両FETのしきい値電圧はノーマリオフで動作させられる範囲に調節される。

**【0050】**また、しきい値電圧を調節することでNTFTとPTFTとのウインドウ幅(NTFTのV<sub>th</sub>(V<sub>th,n</sub>)とPTFTのV<sub>th</sub>(V<sub>th,p</sub>)の差: V<sub>th,n</sub>-V<sub>th,p</sub>)を小さくできる(1~3V以内、好ましくは2V以内)ので、動作電圧の小さいCMOS回路を実現できる。

**【0051】**なお、本実施例の作製工程に従った場合、NTFTはLDL構造となるがPTFTはLDL構造とならない。しかしながら、本実施例は本願発明の一実施例であり、本願発明を適用しうる構造は本実施例に限定されない。

**【0052】**即ち、公知の手段で構成される逆スタガ型TFTならば全てに適用することができる。また、本実施例ではCMOS回路を例にとって説明しているが、NTFTに対して15族元素を添加し、PTFTに対して13族元素を添加するという構成は、NTFT又はPTFTのどちらか一方の単体素子のみで構成される様な回路に適用することも可能である。

**【0053】**ここで、チャネルドープ工程においてチャネルが形成される部分のボロン濃度を低くすることの意義を説明する。

**【0054】**チャネルにしきい値電圧を制御するための不純物元素が多量に存在すると、多数キャリア(電子または正孔)が不純物と衝突して散乱する。このキャリアの不純物散乱はTFT特性の動作速度を支配する電界効果移動度(モビリティ)を低下させる要因となり好ましくない。

**【0055】**本願発明では、丁度チャネルが形成される部分の裏側からしきい値電圧制御用の不純物を添加することになるので、濃度プロファイルの勾配を利用してチャネルが形成される部分の不純物濃度を低くすることができます。換言すれば、チャネル形成領域中における上記不純物濃度は、チャネル形成領域とゲート絶縁膜との界面に近づくほど減少していく様な濃度勾配を有している。

**【0056】**そのため、チャネル形成領域において基板から遠い方の表面近傍では、上記不純物元素の濃度が $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>で存在するが、ゲート絶縁膜との界面に向かうに従って濃度は減少し、界面近傍では約1/3以下(代表的には $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>)となっている。

**【0057】**ただし、チャネル形成領域中における濃度

分布はチャネル形成領域となる結晶性珪素膜の膜厚によって変化する。上述の様に、ゲート絶縁膜との界面近傍での不純物濃度が基板から遠い方の表面近傍における濃度に対して1/3以下となるのは、チャネル形成領域の膜厚が30~50nmの場合に相当する。

**【0058】**当然、膜厚が厚くなればゲート絶縁膜との界面近傍における不純物濃度はさらに減少し、膜厚が50~70nm程度であれば1/5以下、70~100nm程度であれば1/10以下に低減させることができる。また、逆に膜厚を薄くする場合(例えば10~30nm程度)、不純物添加時の濃度勾配の影響が現れにくくなつて1/2以下に低減するのが限界となってしまう。

**【0059】**また、上述の様な濃度勾配の調節はイオン注入条件で制御されるが、イオン注入時に設けるバッファ層がその様な精密な濃度制御を容易なものとしている。

**【0060】**この様にして不純物散乱を極力避けた状態でしきい値電圧の制御を行うことで低い動作電圧で駆動可能であり、且つ、高いモビリティを有するTFTを作製することができる。

**【0061】**また、NTFTに15族から選ばれた元素を添加するということはNTFTの多数キャリアである電子の絶対量が増すことを意味しており、電子の移動を助ける方向に働く。即ち、この事はNTFTのモビリティ(電界効果移動度)の向上につながる。逆にPTFTにおいて13族から選ばれた元素を添加するとPTFTの多数キャリアである正孔の絶対量が増すので、この場合もモビリティは向上する。

**【0062】**なお、モビリティはId-Vg特性の測定で得られるドレイン電流値などを公知の理論式に代入し、数值計算して得ることができる。

**【0063】**本願発明を実施しないNTFT(チャネル形成領域がアンドープな場合)ではモビリティが $40 \sim 60$ cm<sup>2</sup>/Vsであるが、本願発明の効果によって $70 \sim 250$ cm<sup>2</sup>/Vs(代表的には $120 \sim 150$ cm<sup>2</sup>/Vs)程度にまで向上する。また、従来のPTFTではモビリティが $30 \sim 50$ cm<sup>2</sup>/Vsであるが、本願発明の効果によって $60 \sim 150$ cm<sup>2</sup>/Vs(代表的には $80 \sim 100$ cm<sup>2</sup>/Vs)程度にまで向上する。

**【0064】**[実施例2]本実施例では実施例1において、しきい値電圧制御のための不純物元素の添加工程と結晶化工程との順序を入れ換えた場合の例を示す。

**【0065】**図3(A)において、301はガラス基板、302は下地膜、303、304はタンタル膜であるゲート電極、305は酸化珪素膜上に薄い窒化珪素膜を設けた積層膜であるゲート絶縁膜、306は非晶質珪素膜である。使用しうるゲート電極材料は実施例1に示した通りである。(図3(A))

**【0066】**次に、バッファ層307、レジストマスク308を設け、イオン注入法によりリン元素を添加する。注入条件は実施例1に従えば良い。こうしてリン含

有領域309が形成され、図3（B）の状態が得られる。

【0067】次に、レジストマスク308を除去した後、再びレジストマスク310を形成し、次はボロンの添加工程を行う。この工程も実施例1に従えば良い。こうしてボロン含有領域311が形成され、図3（C）の状態が得られる。

【0068】次に、バッファ層307、レジストマスク310を除去した後、図3（D）に示す様にエキシマレーザー光を照射する。エキシマレーザー光の照射条件は実施例1に従えば良い。

【0069】この工程により非晶質珪素膜306は結晶化され、結晶性珪素膜312が得られる。また、同時に前述のイオン注入で添加されたボロンが活性化される。

【0070】そして、結晶性珪素膜312を島状にパターニングして活性層313、314が得られる。後の工程を実施例1に従えば、図2（E）に示した様な構造のCMOS回路を作製することができる。

【0071】〔実施例3〕本実施例では非晶質珪素膜の結晶化に際して、結晶化を助長する触媒元素（代表的にはニッケル）を利用する場合の例を示す。

【0072】まず、図4（A）において、401はガラス基板、402は下地膜、403、404はN型導電性のポリシリコン膜でなるゲイト電極、405はゲイト絶縁膜、406は非晶質珪素膜である。ゲイト電極は実施例1に示した材料ならば全てを用いることが可能である。

【0073】本実施例では、非晶質珪素膜406の上にニッケルを含有した膜（以下、ニッケル含有層と呼ぶ）407を形成する。ニッケル含有層407の形成方法は本発明者らによる特開平7-130652号公報（特に実施例1）に記載された技術を利用すれば良い。（図4（A））

【0074】なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、白金（Pt）、銅（Cu）、金（Au）、グルマニウム（Ge）、鉛（Pb）等を用いることができる。

【0075】また、上記公報では触媒元素の添加工程をスピンドルコート法で行う例が示してあるが、イオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0076】次に、触媒元素の添加工程が終了したら、500℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃（代表的には550～650℃）の温度で4～24時間の加熱処理

（ファーネスアニール）を加えて非晶質珪素膜406の結晶化を行う。本実施例では窒素雰囲気で550℃4時間の加熱処理を行い、結晶性珪素膜408を得る。（図4

（B））

【0077】次に、バッファ層409、レジストマスク410を設け、NTFTとなる領域のみに15族から選ばれた元素（本実施例ではリン）を添加する。添加方法及び条件は実施例1に示した条件に従えば良い。この工程によりリン含有領域411が形成される。（図4（C））

【0078】次に、レジストマスク410を除去した後、再びレジストマスク412を形成し、13族から選ばれた元素を添加する。本実施例ではボロンを添加してボロン含有領域413を形成する。この工程の条件は実施例1に従えば良い。（図4（D））

【0079】次に、バッファ層409、レジストマスク412を除去し、パターニングにより活性層414、415を形成する。その後、エキシマレーザー光を照射して不純物添加時のダメージの回復、結晶性の改善（僅かに残存する非晶質成分の結晶化等）、リン及びボロンの活性化を行う。（図4（E））

【0080】なお、本実施例では結晶性珪素膜408を島状に加工した後でレーザー光の照射を行っているが、レーザー光の照射を行った後に島状に加工して活性層を形成するのであっても良い。

【0081】そして、後の工程は実施例1に従えば、図2（E）に示した様な構造のCMOS回路を作製することができる。

【0082】〔実施例4〕本実施例では、実施例3と異なる手段で非晶質珪素膜の結晶化を行う場合の例について説明する。具体的には特開平8-78329号公報に記載された技術を利用して結晶化を行う。

【0083】まず、図5（A）において、501はガラス基板、502は下地膜、503、504はクロム膜でなるゲイト電極、505はゲイト絶縁膜、506は非晶質珪素膜である。これらの詳細は実施例1に従えば良い。

【0084】本実施例では、非晶質珪素膜506の上に複数の開口を有するマスク絶縁膜507を設け、その上からニッケル含有層508を形成する。即ち、ニッケル含有層508はマスク絶縁膜507に設けられた開口部においてのみ、非晶質珪素膜506と接する様な構成となる。なお、マスク絶縁膜507としては厚さ50～200nmの酸化珪素膜を用いると良い。（図5（A））

【0085】次に、触媒元素の添加工程が終了したら、450℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質珪素膜506の結晶化を行う。本実施例では窒素雰囲気で570℃14時間の加熱処理を行う。

【0086】この時、非晶質珪素膜506の結晶化はニッケルを添加した領域509、510で発生した核から優先的に進行し、基板501の基板面に対してほぼ平行

に成長した結晶領域511、512が形成される。(図5(B))

【0087】本発明者らはこの結晶領域511、512を横成長領域と呼んでいる。横成長領域511、512は比較的揃った状態で個々の棒状または偏平棒状結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【0088】こうして結晶性珪素膜(横成長領域)511、512が得られたら、レジストマスク513を形成して15族から選ばれた元素(本実施例では砒素)の添加工程を行い、砒素含有領域514を形成する。(図5(C))

【0089】次に、レジストマスク513を除去して再びレジストマスク515を形成し、P TFTとなる領域に13族から選ばれた元素(本実施例ではインジウム)を添加する。こうしてインジウム含有領域516が形成される。(図5(D))

【0090】本実施例では触媒元素の添加工程に利用したマスク絶縁膜507を砒素の添加工程におけるバッファ層として活用する。これにより工程の簡略化を図ることができる。なお、上記砒素添加工程及びインジウム添加工程は実施例1に示したイオン注入条件に従って行けば良い。

【0091】こうして図5(D)の状態が得られたら、横成長領域511、512のみからなる活性層517、518を形成する。活性層517、518を形成する際、ニッケル添加領域509、510は完全に除去してしまうことが好ましい。

【0092】次に、エキシマレーザー光を照射することにより活性層517、518が受けたイオン注入時の損傷の回復、結晶性の改善、砒素及びインジウムの活性化を行う。後の工程を実施例1に従えば、図2(E)に示した構造のCMOS回路を作製することができる。

【0093】[実施例5]本実施例では、実施例3において、結晶化に利用した触媒元素をゲッタリングして除去するための工程を加えた場合の例を示す。具体的には触媒元素(ニッケル)のゲッタリングに15族から選ばれた元素によるゲッタリング効果を利用する。なお、15族から選ばれた元素としては、P(リン)、N(窒素)、As(砒素)、Sb(アンチモン)、Bi(ビスマス)を用いることができるが、本実施例では代表的なリンを用いる場合を示す。

【0094】まず、実施例3の工程に従って図4(D)の状態を得る。そして、バッファ層409、レジストマスク412を除去した後、新たに複数の開口部を有するレジストマスク601を形成する。この開口部は、後に活性層として利用しない(除去してしまう)領域が露出する様な位置に形成する。

【0095】次に、レジストマスク601をマスクとしてリンの添加工程を行う。この添加工程はイオン注入法

又はイオンドーピング法を用いる。添加条件はRF電力を20W、加速電圧を5~30keV(代表的には10keV)に設定し、リンのドーズ量は $1\times10^{13}\text{atoms/cm}^2$ 以上(好ましくは $5\times10^{13}\sim5\times10^{15}\text{atoms/cm}^2$ )とする。

【0096】添加するリン濃度の目安としては、結晶性珪素膜408中に含まれるニッケル濃度よりも1桁以上高い濃度を添加すると良い。実施例3の工程では結晶性珪素膜408中に約 $1\times10^{19}\text{atoms/cm}^3$ のニッケルが含まれるので、その場合には $1\times10^{20}\text{atoms/cm}^3$ 程度のリンを添加することが好ましい。

【0097】こうして、結晶性珪素膜408の一部にはリンが添加された領域(ゲッタリング領域)602~604が形成される。(図6(A))

【0098】次に、レジストマスク601を除去した後、ニッケルをゲッタリングするための加熱処理を行う。この加熱処理により被ゲッタリング領域605、606に含まれるニッケルは矢印で示される様にゲッタリング領域602~604に捕獲されていく。(図6(B))

【0099】この加熱処理は不活性雰囲気、水素雰囲気、酸化性雰囲気またはハロゲン元素を含む酸化性雰囲気におけるファーネスアニールで良い。また、処理温度は400~700℃(好ましくは550~650℃)とし、処理時間は2時間以上(好ましくは4~12時間)とすれば良い。処理温度は高い方がより短時間で済むし、ゲッタリング効果も高いが、ガラス基板の耐熱性を考慮すると650℃以下にすることが望ましい。

【0100】また、後にNTFTとなる被ゲッタリング領域605にはリンが添加され、P TFTとなる被ゲッタリング領域606にはぼろんが添加されているが、上記ファーネスアニールによって不純物添加時の損傷の回復と不純物の活性化とが同時に果たされる。なお、上記温度範囲ならばリン及びボロンの拡散は非常に小さく、問題とはならない。

【0101】こうしてゲッタリング領域602~604にニッケルをゲッタリングしたら、結晶性珪素膜をパターニングして、被ゲッタリング領域605、606のみからなる活性層607、608を形成する。この際、ゲッタリング領域602~604及びその近傍は高濃度にニッケルを含んでいるため、活性層には利用しないで完全に除去することが望ましい。

【0102】ゲッタリング処理を行って得られた活性層607、608中に存在するニッケル濃度は $5\times10^{17}\text{atoms/cm}^3$ 以下にまで低減されていることがSIMS(質量二次イオン分析)によって確かめられている。(本明細書中における濃度はSIMS測定値の最小値で定義されている。)

【0103】現状では検出下限の問題で $5\times10^{17}\text{atoms/cm}^3$ 以下としか判明していないが、実際には少なくとも $1\times10^{14}\text{atoms/cm}^3$ 程度までには到達していると考えて

いる。なお、実験的にはニッケル濃度が  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 以下であれば TFT 特性に影響を与えないことが判っている。

【0104】以上の様にして図 6 (C) に示す状態が得られる。後は、実施例 3 と同様に、実施例 1 に示した工程に従えば、図 2 (E) の様な構造の CMOS 回路を作製することが可能である。

【0105】なお、本実施例は実施例 3 の場合だけでなく、実施例 4 に示した結晶化手段を用いた場合にも適用することは容易である。その場合、ニッケル添加に利用したマスク絶縁膜 507 を、ボロン添加時にマスクとしてだけでなく、本実施例に示したリン添加時のマスクとして活用することも可能である。その場合、大幅な工程簡略化が実現される。

【0106】また、本実施例ではリンの添加手段としてイオン注入法またはイオンドーピング法を用いる例を示しているが、リンを含む雰囲気中のアーニール（気相法）、リンを含む絶縁膜中のゲッタリング（固相法）を利用しても良い。

【0107】ところで、本実施例では TFT となる領域（被ゲッタリング領域 605）にしきい値電圧を制御するためのリンが予め添加されている。そのため、触媒元素（ニッケル）が被ゲッタリング領域 605 中のリンに捕獲されてしまうことも考えられる。

【0108】しかし、本実施例の場合、ゲッタリング領域 602～604 に添加されたリン濃度は被ゲッタリング領域 605 に添加されたリン濃度に比べて 1 衍以上も高いため、ゲッタリング能力はゲッタリング領域 602～604 の方が遙かに高い。そのため、問題なくゲッタリングを行えると考えられる。

【0109】また、本実施例の様にリンによるゲッタリングを行う場合、TFT となる領域に添加する 15 族元素（しきい値電圧の制御用元素）としてはリンよりもゲッタリング能力の低い砒素、アンチモンを用いることが好ましい。

【0110】【実施例 6】本実施例では、実施例 1 とは異なる構造の逆スタガ型 TFT を作製する場合の例を示す。説明には図 7 を用いる。

【0111】まず、実施例 1 の工程に従って図 1 (D) の状態を得る。そして、活性層 115、116 の上にチャネルストッパー 701、702 を形成する。チャネルストッパー 701、702 としては、30～150 nm の厚さの窒化珪素膜又は酸化珪素膜を用いることができる。

(図 7 (A))

【0112】次に、N 型導電性を有する結晶性珪素膜（以下、N 型導電膜と略記する）703 を形成し、その上に金属薄膜 704 を形成する。N 型導電膜 703 にはリンを添加した多結晶状態、微結晶状態の珪素膜が用いられる。また、金属薄膜 704 は実施例 1 においてソース／ドレイン電極を構成した金属薄膜と同一のもので良

い。（図 7 (B)）

【0113】なお、N 型導電膜 703 と金属薄膜 704 とを連続成膜すると非常に良好なオーミックコンタクトを実現できるので好ましい。

【0114】次に、まず、金属薄膜 704 をエッチングして必要な箇所の分断を行う。そして、次に金属薄膜 704 をマスクとして自己整合的に N 型導電膜 703 をエッチングする。この時、チャネルストッパー 701、702 がエッチングストッパーとして機能する。

【0115】こうして、NTFT のソース電極 705、706、PTFT のソース電極 707、708 及び NTFT と PTFT の共通ドレイン電極 709、710 が形成される。これらの電極上に窒化珪素膜や有機性樹脂膜でなるパッシベーション膜を設けた構成としても良い。以上の様にして図 7 (C) に示す構造の CMOS 回路が実現される。

【0116】なお、チャネルストッパーを利用してタイプの逆スタガ型 TFT は本実施例に限定されることはない。本願発明は他の構造のタイプに対しても容易に適用することができる。

【0117】また、本実施例の構造の逆スタガ型 TFT を作製するにあたって、実施例 2～5 の構成を適宜組み合わせて実施しても良い。

【0118】【実施例 7】本実施例では、実施例 1、6 とは異なる構造の逆スタガ型 TFT を作製する場合の例を示す。説明には図 8 を用いる。

【0119】まず、実施例 1 の工程に従って図 1 (D) の状態を得る。そして、活性層 115、116 の上に N 型導電膜 801 を形成し、その上に金属薄膜 704 を形成する。これら薄膜については実施例 6 で説明しているのでここでの説明は省略する。（図 8 (A)）

【0120】次に、金属薄膜 802 をエッチングして必要な箇所の分断を行い、統いて自己整合的に N 型導電膜 801 をエッチングする。この時、N 型導電膜 801 と下の活性層 111、112 とは選択比が取れないと、活性層 111、112 の内部にまでエッチングが進行する。

【0121】従って、この部分だけは活性層の膜厚が薄くなってしまっており、この薄膜化された部分が実効的なチャネル形成領域として機能する。

【0122】こうして、NTFT のソース電極 803、804、PTFT のソース電極 805、806 及び NTFT と PTFT の共通ドレイン電極 807、808 が形成される。最後にパッシベーション膜として窒化珪素膜 809 を形成して図 7 (C) に示す構造の CMOS 回路が実現される。

【0123】なお、例えばアクティブマトリクス型液晶表示装置の様に、同一基板上に周辺駆動回路と画素マトリクス回路とを作製する場合、窒化珪素膜 809 の代わりに有機性樹脂膜が設けられる場合もある。その様な場

合には有機性樹脂膜がバッシベーション膜として機能する。この事は実施例6でも同様に言える。

【0124】また、本実施例の構造とする場合、図8(A)に示した段階で後のチャネル形成領域にN型導電膜801が接してしまう。この時、活性層116(P TFT側)に添加してあるボロンとN型導電膜801中のリンとが相互拡散して相殺しあい、チャネル形成領域が実質的に真性になったり、N型に反転したりして所望のしきい値電圧が得られないといった問題が起りうる。

【0125】その様な問題が起る場合、チャネルドープ工程の際に前述のN型導電膜801に含まれるリン濃度よりも高い濃度のボロンを添加しておけば良い。こうしておけば、互いに相殺したとしてもボロンの絶対量の方が多いため、P型を維持することができる。勿論、最終的に残存するボロン濃度を予め見越した上で所望のしきい値電圧が得られる様にチャネルドープを行う必要がある。

【0126】なお、本願発明は本実施例に示した様な構造以外の逆スタガ型TFTに対しても容易に適用することが可能である。

【0127】また、本実施例の構造の逆スタガ型TFTを作製するにあたって、実施例2～5の構成を適宜組み合わせて実施しても良い。

【0128】〔実施例8〕実施例1～7ではチャネルドープ工程でバッファ層を利用する例を示しているが、ボロン添加条件の最適化を行えばバッファ層を用いない構成も可能である。その場合、珪素膜の受ける添加時のダメージは大きくなるが、後のファーネスアニールまたはレーザーアニールで回復できる程度ならば問題にはならない。

【0129】〔実施例9〕実施例1～7に示した構成では、チャネルドープ工程後の不純物の活性化をエキシマレーザー光の照射による例を示している。本願発明では、レーザーアニールの代わりにRTA(ラピッドサーマルアニール)に代表されるランプアニールを利用することもできる。

【0130】RTA処理を行う場合、500～1150℃(好みくは800～1000℃)の温度で数秒の処理を行い、ガラス基板の変形を招くことなく薄膜のアニールを行うことができる。また、そのためスループットが格段に向かう。

【0131】勿論、500～600℃程度のファーネスアニールで不純物の活性化を行うのであっても構わないが、生産性を高めるにはRTA処理が有効である。

【0132】〔実施例10〕実施例1～7ではNTFTに15族から選ばれた元素を添加し、PTFTに13族から選ばれた元素を添加している。しかしながら、本願発明はその構成に限定されず、他の様々な構成にも適用することができる。

【0133】例えば、NTFTのみに15族元素を添加

し、PTFTにはしきい値電圧制御用の不純物を添加しない(アンドープとする)構成もとりうる。また、逆にNTFTはアンドープとしており、PTFTのみに13族元素を添加する構成もとりうる。勿論、この構成はNTFTとPTFTのどちらか片方のみにしきい値電圧の制御が必要な場合の構成である。

【0134】また、NTFTとPTFTの両方をマイナス側にシフトさせる様な場合には、NTFTとPTFTの両方に15族から選ばれた元素を添加すれば良い。逆

10 にNTFTとPTFTの両方をプラス側にシフトさせる様な場合には、NTFTとPTFTの両方に13族から選ばれた元素を添加すれば良い。

【0135】また、NTFTをプラス側にシフトさせ、PTFTをマイナス側にシフトさせる必要がある場合には、NTFTに13族元素を、PTFTに15族元素を添加することもできる。

【0136】勿論、NTFTのみプラス側にシフトさせたければNTFTに13族元素を添加してPTFTをアンドープとしても良いし、PTFTのみマイナス側にシフ

20 トさせたければPTFTに15族元素を添加してNTFTをアンドープとしても良い。

【0137】なお、本実施例は実施例1～7のみでなく、さらに実施例8、9の構成と組み合わせて実施するのであっても良い。

【0138】〔実施例11〕本実施例では実施例1～10に示した構成の半導体装置を用いてガラス基板上に回路を形成し、電気光学装置を作製する場合の例を示す。

代表的には液晶表示装置、EL(エレクトロルミネッセンス)表示装置、EC(エレクトロクロミクス)表示装置、イメージセンサ、CCD等を作製することが可能である。

【0139】なお、本明細書において電気光学装置とは、電気信号を光学的信号に変換する装置またはその逆を行なう装置と定義する。

【0140】図9(A)に示すのは液晶表示装置(液晶モジュール)である。901はアクティブマトリクス基板であり、ガラス基板上に本願発明のTFTで構成された画素マトリクス回路902、ソース側駆動回路903、ゲート側駆動回路904で構成される。

40 【0141】ソース側駆動回路903は主にシフトレジスタ回路、サンプリング回路、バッファ回路、レベルシフタ回路等から構成される。また、ゲート側駆動回路904は主にシフトレジスタ回路、バッファ回路等から構成される。

【0142】以上の様な構成でなるアクティブマトリクス基板901と、対向基板906との間には液晶層(図示せず)がシール材によって封入されている。また、アクティブマトリクス基板901と対向基板906とは一辺を除いて全ての端面が揃う様に貼り合わされており、

50 その一辺ではアクティブマトリクス基板901の一部が

露出する様に対向基板906が除去されている。

【0143】この領域はソース/ゲイト側駆動回路903、904に外部からの信号を伝達するための端子が剥き出しなっており、FPC(フレキシブルプリントサーキット)907を接続するための領域となる。

【0144】また、FPC907を取り付ける領域を有効に活用してICチップ908、909を取り付けることができる。本実施例では2つのチップを取り付けているが1つ又は2つ以上の複数個を設ける構成が可能である。本実施例の構成は液晶モジュールのサイズを最小限に抑えるのに有効である。

【0145】このICチップは映像情報を含むビデオ信号の情報処理、クロックパルス発生・制御回路など、映像表示を行うに必要な各種信号処理回路を含むロジック回路を構成する。本実施例では単結晶チップ上に形成されたMOSFETで各回路を構成し、それをICチップとして基板に搭載している。

【0146】なお、本実施例ではICチップ907、908をフェイスダウン方式で搭載する例を示しているが、フェイスアップ方式(ワイヤボンディング方式)であっても構わない。

【0147】また、図9(B)に示すのはソース側駆動回路903の回路構成を簡略化したものである。909はシフトレジスタ回路であり、複数のインバータ回路(CMOS回路)910でフリップフロップ回路が組まれている。

【0148】また、バッファ回路911を挟んでサンプリング回路912が複数のアナログスイッチ913によって組まれている。

【0149】本願発明はチャネルドープの効果によってしきい値電圧が調節されているので低い動作電圧に対しても容易に対応可能である。さらに、チャネル部において不純物によるキャリアの散乱が非常に小さいため、しきい値電圧を制御しているにも拘わらず高いモビリティを実現できる。

【0150】従って、低い動作電圧と高い動作速度とを要求するシフトレジスタ回路909を構成するには本願発明のTFTは有効である。

【0151】また、しきい値電圧の制御によってCMOS回路の特性バランスが是正されているので、アナログスイッチ911の様にNTFTとPTFTとの特性バランスを揃えることが重要な回路を構成するにも好適である。

【0152】ここで、本実施例に示した液晶モジュールのシステム構成の一例を図10、11に示すブロック図を用いて説明する。なお、本実施例以外のシステム構成を探りうることは言うまでもない。

【0153】まず、図10において点線で囲まれた領域がICチップ部である。外部から送信されるアナログ信号はR信号11、G信号12、B信号13及び水平同期

信号14、垂直同期信号15である。RGB信号11～13はA/Dコンバータ16、VRAM17(時間軸伸長を行う)、γ補正+極性反転回路18、D/Aコンバータ19を経てアナログ信号で出力される。

【0154】その間、クロックジェネレータ20では水平同期信号14、垂直同期信号15を元にXGA、SXGA等に対応したクロックパルスやスタートパルスが形成され、A/Dコンバータ16、VRAM17、γ補正+極性反転回路18等に送られる。クロックジェネレータ20は制御マイコン21で制御される。

【0155】こうして、必要な処理を終えたアナログ信号としてR信号22、G信号23、B信号24が出力される。液晶パネルには本願発明のTFTでもってソース駆動回路25、ゲイト駆動回路26、画素マトリクス回路27が形成され、前述のR信号22、G信号23、B信号24がソース駆動回路25へ送られる。

【0156】次に、図11を用いてデジタル信号を取り扱う場合の例を示す。デジタル化されたRGB信号30～32はまずDSP(デジタルシグナルプロセッサ)33で補正演算処理が行われる。この時、補正データはフラッシュメモリ34に記憶されており随時読み出しを行う。

【0157】そして、補正演算されたビデオ信号はVRAM35、γ補正回路36で処理されてR信号37、G信号38、B信号39となってソース駆動回路40に送信される。ソース駆動回路40は図10に示したソース駆動回路25とは若干構成が異なるが基本動作は同じである。この様な細かな部分での回路構成は実施者が適宜最適な回路を設計すれば良い。

【0158】以上の様に、本実施例の液晶モジュールはガラス基板上には本願発明を利用したボトムゲート型TFTを用いて画素マトリクス回路及び駆動回路を形成し、その他の信号処理回路をICチップで外付けしている。即ち、画素マトリクス回路及び駆動回路まではなるべく安価なコストで基板上に一体形成し、TFTの動作性能では作製が困難なロジック回路のみを従来のIC技術で作製したICチップで補う点に特徴がある。

【0159】この様な構成とすることで非常に高い機能性を有した液晶モジュールを安価な製造コストで作製することが可能となる。勿論、今後TFTの動作性能が向上すればガラス基板上に形成したTFTでロジック回路をも一体形成することが可能となるであろう。その場合にもロジック回路を構成するTFTに本願発明を適用することは非常に有効である。

【0160】【実施例12】実施例11に示した電気光学装置は、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、液晶モジュールに代表される電気光学装置を搭載した製品と定義する。

【0161】その様な電子機器としては、ビデオカメ

ラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図12に示す。

【0162】図12（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声入力部2003、表示装置2004等に適用することができる。

【0163】図12（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106に適用することができる。

【0164】図12（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は受像部2203、表示装置2205等に適用できる。

【0165】図12（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0166】図12（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0167】図12（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0168】以上の様に、本願発明の適用範囲は極めて

広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

#### 【0169】

【発明の効果】本願発明を利用することによりボトムゲイト型TFTのしきい値電圧を効果的に制御することができる。また、その様な半導体装置を利用することで様々な電気光学装置及び電子機器を実現することができる。

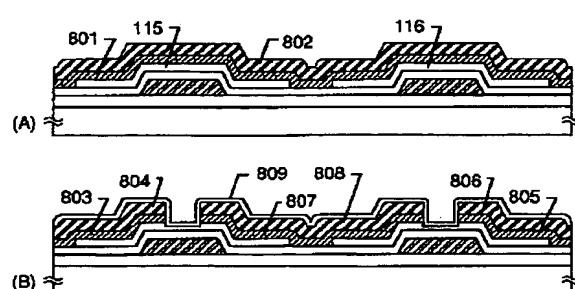
#### 10 【図面の簡単な説明】

- 【図1】 薄膜トランジスタの作製工程を示す図。
- 【図2】 薄膜トランジスタの作製工程を示す図。
- 【図3】 薄膜トランジスタの作製工程を示す図。
- 【図4】 薄膜トランジスタの作製工程を示す図。
- 【図5】 薄膜トランジスタの作製工程を示す図。
- 【図6】 薄膜トランジスタの作製工程を示す図。
- 【図7】 薄膜トランジスタの作製工程を示す図。
- 【図8】 薄膜トランジスタの作製工程を示す図。
- 【図9】 電気光学装置の構成を示す図。
- 【図10】 電気光学装置のシステム構成を示す図。
- 【図11】 電気光学装置のシステム構成を示す図。
- 【図12】 電子機器の構成を示す図。
- 【図13】 TFT特性を説明するための図。

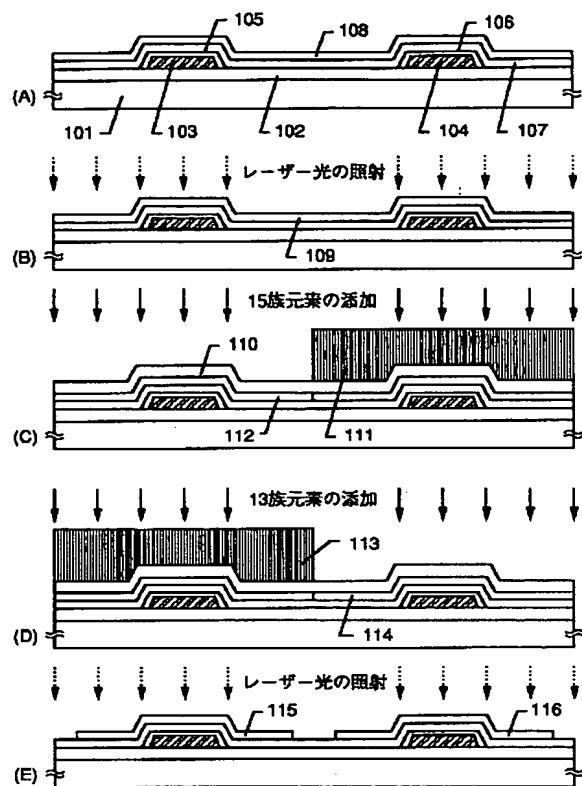
#### 【符号の説明】

101	ガラス基板
102	下地膜
103、104	ゲイト電極
105、106	陽極酸化膜
107	ゲイト絶縁膜
30 108	非晶質硅素膜
109	結晶性硅素膜
110	バッファ層
111、113	レジストマスク
112	リン含有領域
114	ボロン含有領域
115、116	活性層

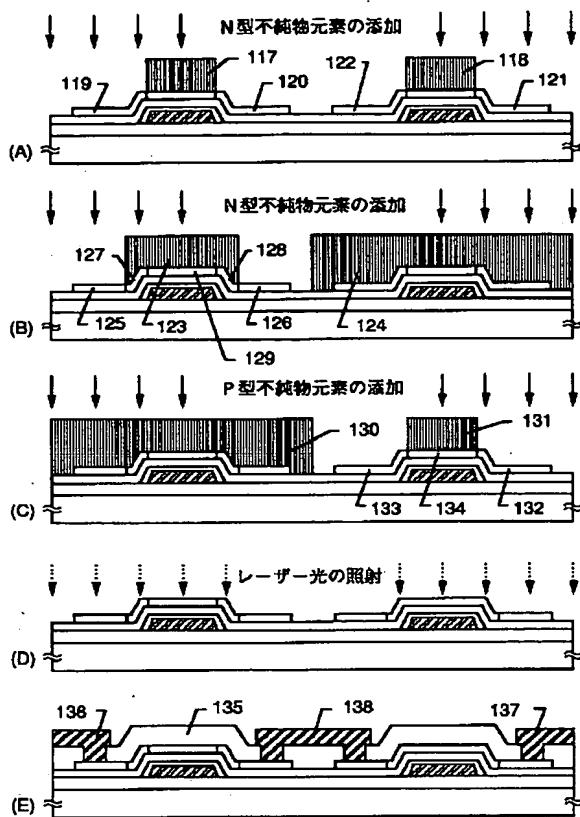
【図8】



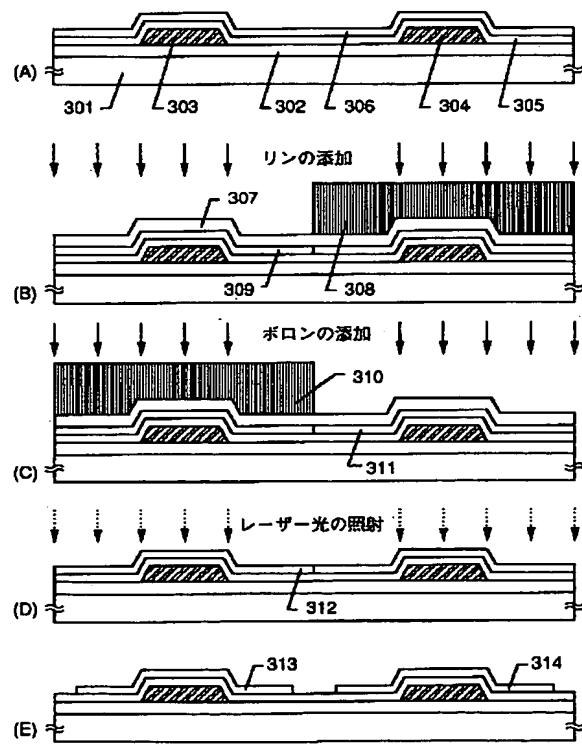
【図1】



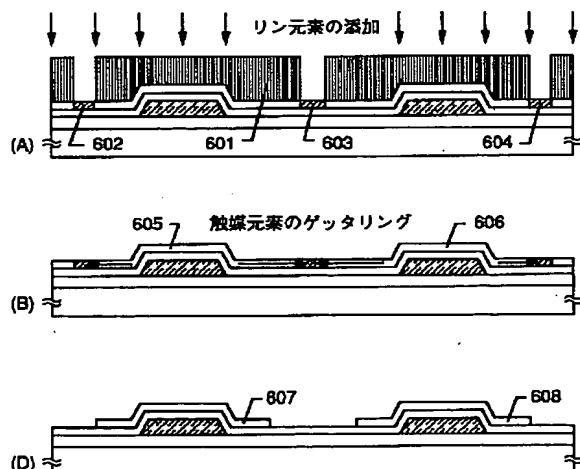
【図2】



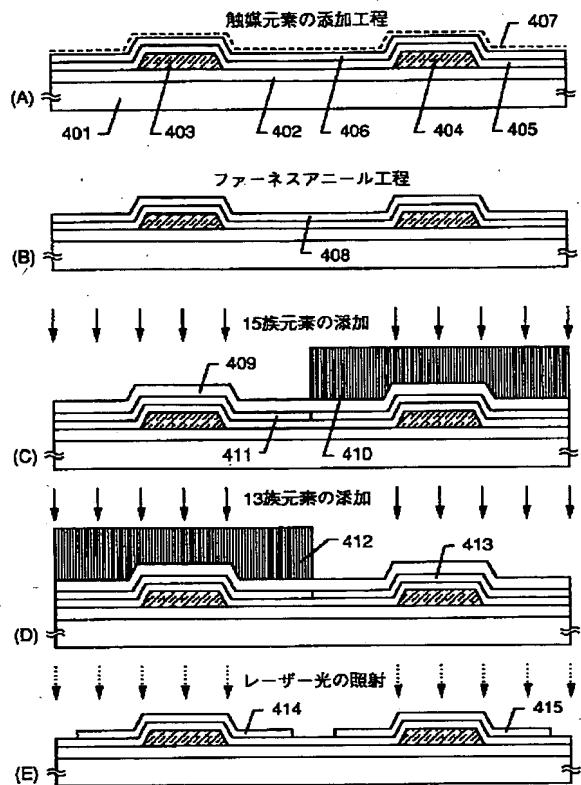
【図3】



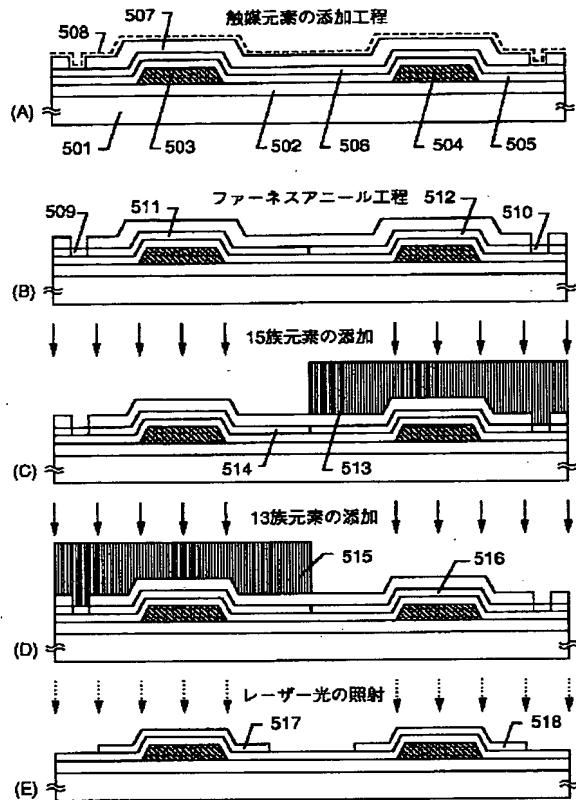
【図6】



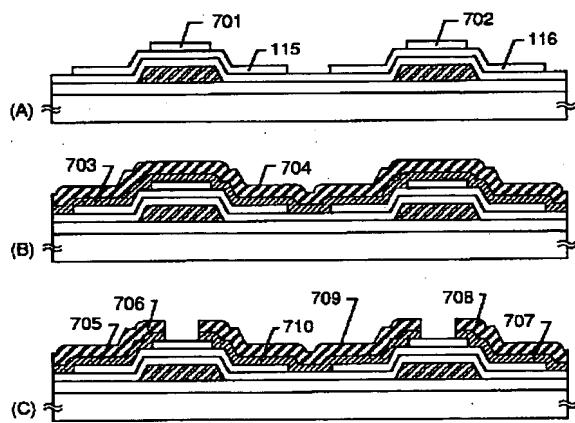
【図 4】



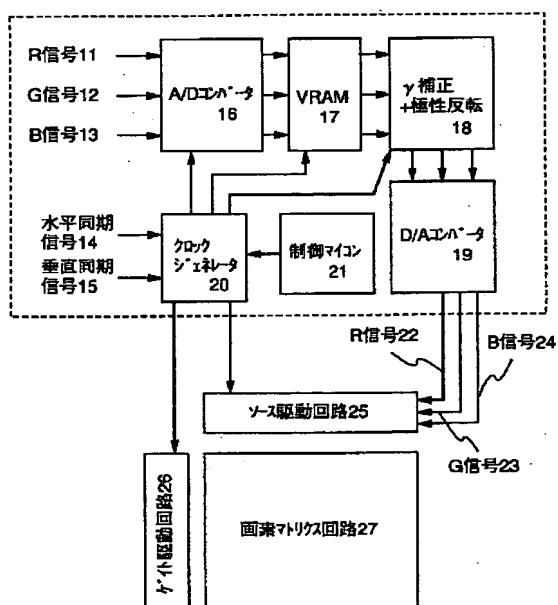
【図 5】



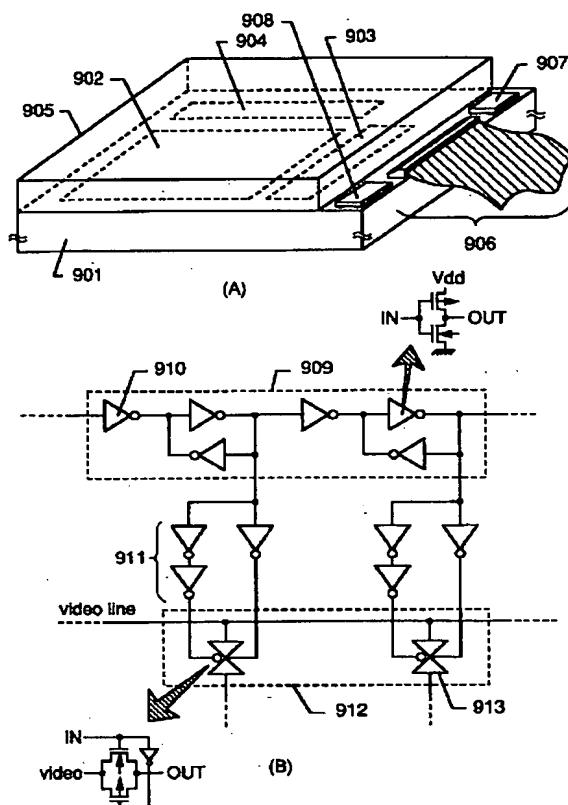
【図 7】



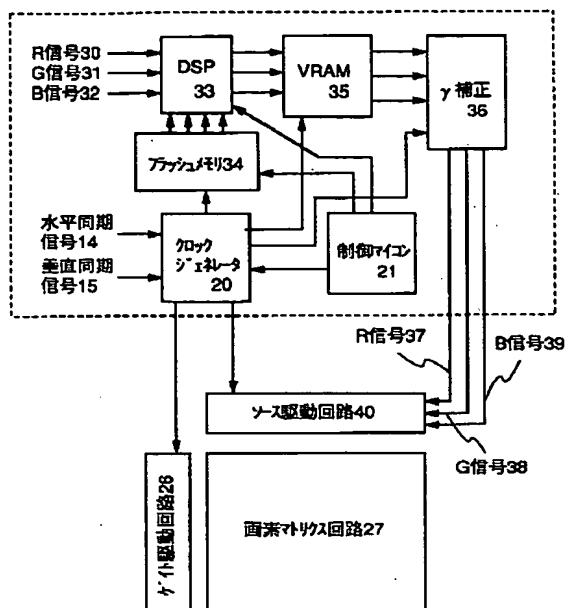
【図 10】



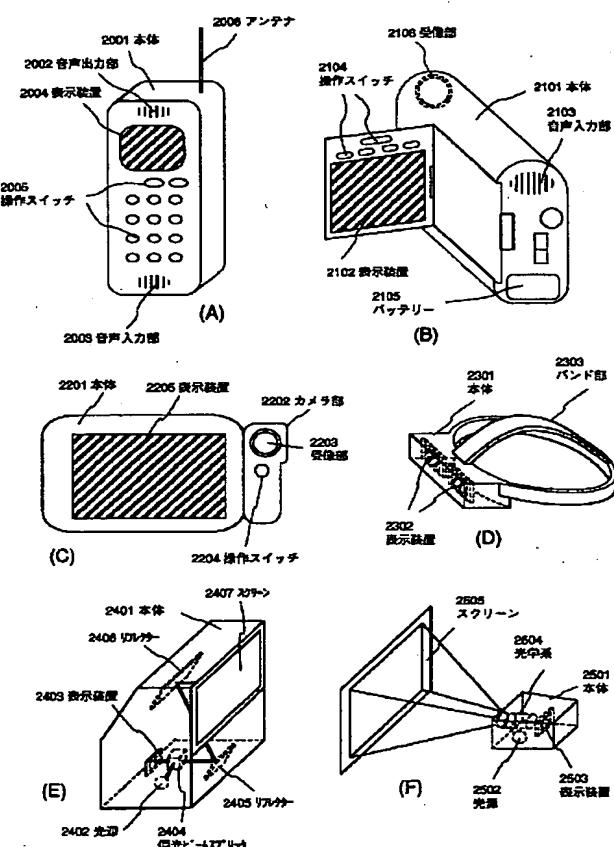
【図9】



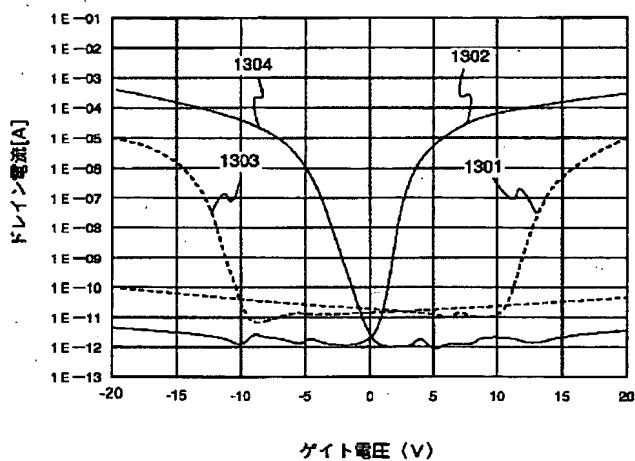
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H O 1 L 29/78

6 1 8 F

6 2 7 G

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**